

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2002 EPO. All rts. reserv.

9688315

Basic Patent (No,Kind,Date): JP 3019340 A2 910128 <No. of Patents: 002>

MANUFACTURE OF SEMICONDUCTOR DEVICE (English)

Patent Assignee: SEIKO EPSON CORP

Author (Inventor): KUNII MASABUMI

IPC: \*H01L-021/31; C23C-016/44; C23C-016/52; H01L-021/205; H01L-021/84

CA Abstract No: 115(08)083540T

Derwent WPI Acc No: C 91-069992

JAPIO Reference No: 150139E000132

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date	
<b>JP 3019340</b>	A2	910128	JP 89154010	A	890616	(BASIC)
JP 2751420	B2	980518	JP 89154010	A	890616	

Priority Data (No,Kind,Date):

JP 89154010 A 890616

**CONSTITUTION:** An SiO(sub 2) thin film 203 which is used as a gate insulating film is formed on a polycrystalline silicon thin film 202 made to perform a solid phase growth. In case a PCVD method is used for the film formation of the SiO(sub 2) thin film 203, inert gas, such as He gas or the like, is added to the mixed gas of SiH(sub 4) gas and N(sub 2)O gas for reducing damage to the film 203. In the PCVD method, in case He gas is used as diluent gas in the gas flow rate ratio of low-temperature gas, the flow rate of the He gas is changed to a film-forming time. When the flow rate of the He gas is changed, the He gas is brought into a state that its amount of dilution is large in the vicinity of an Si/SiO(sub 2) interface, that is, though the damage to the film 203 is very small, the film formation progresses in a state that a film forming speed is slow and as the film formation becomes more distant from the Si/SiO(sub 2) interface, the film-forming speed becomes first. By adopting such a film-forming method, a good Si/SiO(sub 2) interface is realized as the film-forming time is kept short.

訂正有り

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平3-19340

⑬ Int. Cl.<sup>3</sup>

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)1月28日

H 01 L 21/31  
C 23 C 16/44  
16/52  
H 01 L 21/205  
21/84

Z 6940-5F  
8722-4K  
8722-4K  
7739-5F  
7739-5F

審査請求 未請求 請求項の数 1 (全5頁)

⑮ 発明の名称 半導体装置の製造方法

⑯ 特 願 平1-154010

⑰ 出 願 平1(1989)6月16日

⑱ 発 明 者 国 井 正 文 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

⑲ 出 願 人 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号

⑳ 代 理 人 弁理士 鈴木 喜三郎 外1名

# 明 細 書

## 1. 発明の名称

半導体装置の製造方法

## 2. 特許請求の範囲

半導体表面に絶縁膜を化学気相成長法で成膜する方法において、ヘリウム、ネオン、アルゴン、キセノン等の希釈ガス濃度を成膜時間に対して変化させることを特徴とする半導体装置の製造方法。

## 3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は半導体装置の製造方法に関する。

〔従来の技術〕

近年、大型で高解像度の液晶表示パネル、高速で高解像度の密着型イメージセンサ、三次元IC等への実現に向けて、ガラス、石英等の絶縁性非晶質基板や、SiO<sub>2</sub>等の絶縁性非晶質層上に、高性能な半導体素子を形成する試みが成されている。特に大型の液晶表示パネル等に於いては、低コストの要求を満たすため、安価な低融点ガラス

上に薄膜トランジスタ(TFT)を形成することが必須の要求になりつつある。従来は、低融点ガラス基板上に形成するTFTのゲート絶縁膜に、Journal of Vacuum Science & Technology Vol. B 8(2) p.517 (1988)、Journal of Applied Physics Vol. 60, p.3136 (1988)等に見られるようにプラズマ気相成長法(PCVD)を用いたもの、Applied Physics Letters Vol. 50(17) p.1187 (1987)等に見られるように減圧化学気相成長法(LP-CVD)を用いたもの、Electronics Letters Vol. 24(3) p.172 (1988)、Japanese Journal of Applied Physics Vol. 28(8) p.805, 835, L 908 (1988)等に見られるように光化学気相成長法を用いたもの、Japanese Journal of Applied Physics Vol. 22(4) p.L210 (1983)等に見られるようにECRプラズマ気相成長法を用いたもの等があり、いずれも低温成膜法で作製したSiO<sub>2</sub>薄膜を用いてきた。

〔発明が解決しようとする課題〕

しかし、TFTのゲート酸化膜の形成を低温(

＜600℃）で行なう場合、高温酸化法で形成したゲート絶縁膜と比較すると膜質が劣り、高性能のTFTが実現できないという問題点があった。

低温で成膜したゲート絶縁膜の膜質が劣る理由は、ゲート絶縁膜中の残留ストレス、ダングリングボンド、不純物等に起因する欠陥単位が半導体／ゲート絶縁膜界面に存在し、空乏層が広がらないことによる。このため、従来の低温成膜法で形成したTFTでは高性能化が難しかった。この問題を解決するため、Journal of Applied Physics Vol.60, p.3138 (1988)等に応示するように、PCVD法で $\text{SiO}_2$ を成膜する際に $\text{He}$ ガスを希釈ガスに用いる方法が知られている。この方法によればPCVD成膜時のプラズマダメージを著しく低減でき、高品質のゲート酸化膜を成膜できる。しかし、この方法では大流量の $\text{He}$ で希釈する必要があり、成膜速度が小さく、成膜時間が長くなるという問題点があった。

本発明は以上の問題点を解決するもので、その目的は低温プロセスを用いて高性能のTFTを高

れておらず結晶成長の核が全く存在しないことが望ましい。減圧化学気相成長法(LPCVD)の場合は、成膜温度がなるべく低くて、成膜速度が早い条件が適している。シランガス( $\text{SiH}_4$ )を用いる場合は500℃～560℃程度、ジシランガス( $\text{Si}_2\text{H}_6$ )を用いる場合は300℃～500℃程度の成膜温度で分解堆積が可能である。トリシランガス( $\text{Si}_3\text{H}_8$ )は分解温度がより低い。成膜温度を高くすると堆積した膜が多結晶になるので、 $\text{Si}$ イオン注入によって一旦非晶質化する方法もある。プラズマ化学気相成長法(PCVD)の場合は、基板温度が500℃以下でも成膜できる。また、成膜直前に水素プラズマあるいはアルゴンプラズマ処理を行えば、基板表面の清浄化と成膜を連続的に行うことができる。光励起CVD法の場合も500℃以下の低温成膜及び基板表面の清浄化と成膜を連続的に行うことができる点で効果的である。電子ビーム蒸着法などのような高真空蒸着法の場合は膜がポーラスであるために大気中の酸素を膜中に取り込み易く、結晶成長の妨

いスルーブットで作製することにある。

#### 【課題を解決するための手段】

本発明の半導体装置の製造方法は、半導体表面に絶縁膜を化学気相成長法で成膜する方法において、ヘリウム、ネオン、アルゴン、キセノン等の希釈ガス濃度を成膜時間に対して変化させることを特徴とする。

#### 【実施例】

まず石英基板あるいはガラス基板上に非晶質半導体を成膜する。本実施例では非晶質半導体の例に非晶質シリコンを用いて説明する。尚基板には $\text{SiO}_2$ で覆われた $\text{Si}$ 基板を用いることもある。石英基板あるいは $\text{SiO}_2$ で覆われた $\text{Si}$ 基板を用いる場合は1200℃の高温プロセスにも耐えることができるが、ガラス基板を用いる場合は軟化温度が低いために約600℃以下の低温プロセスに制限される。以下、第2図(a)に従って説明する。はじめに非晶質絶縁基板201上に非晶質シリコン薄膜202を堆積させる。該非晶質シリコン薄膜202は一樣で、微小な結晶子は含ま

げとなる。このことを防ぐために、真空雰囲気から取り出す前に300℃～500℃程度の低温熱処理を行い膜を緻密化させることが有効である。

以上のようにして作製した半導体薄膜において、半導体薄膜を固相成長させるアニール工程を行うことがTFTの高性能化には望ましい。固相成長方法は、石英管による炉アニールが便利である。アニール雰囲気としては、窒素ガス、水素ガス、アルゴンガス、ヘリウムガスなどを用いる。 $1 \times 10^{-6}$ から $1 \times 10^{-1}$  Torrの高真空雰囲気で行ってもよい。固相成長アニール温度は、およそ500℃～700℃とする。低温アニールでは選択的に、結晶成長の活性化エネルギーの小さな結晶方位を持つ結晶粒のみが成長する。

固相成長させたシリコン薄膜上にゲート絶縁膜となる $\text{SiO}_2$ 薄膜を200～1500Å成膜する。PCVD法を $\text{SiO}_2$ の成膜に用いる場合は、 $\text{SiH}_4$ と亜酸化窒素ガス( $\text{N}_2\text{O}$ )の混合ガスを用いる。膜のダメージが低減するために、 $\text{SiH}_4$ 、 $\text{N}_2\text{O}$ の混合ガスに $\text{He}$ などの不活性ガス加える。不

活性ガスの中でも原子量の最も小さいHeがプラズマダメージも最も少なくなるので望ましい。ゲート絶縁膜にSiの窒化膜を用いる場合にはSiH<sub>4</sub>、窒素ガス(N<sub>2</sub>)またはアンモニアガス(NH<sub>3</sub>)の混合ガス、これに加えて希釈ガスにHe等の不活性ガスを用いる。光CVDではSiH<sub>4</sub>の代わりにSi<sub>2</sub>H<sub>6</sub>、Si<sub>3</sub>H<sub>8</sub>ガス等を用いる。PCVDでは、成膜ガスのガス流量比はHeを希釈ガスに使う場合、初期状態でSiH<sub>4</sub>/N<sub>2</sub>O/He = 1/125/4000であり、これを第1図に示すような曲線に従ってHeガスの流量を成膜時間で変化させる。流量の制御はマスフローコントローラをマイクロコンピュータで制御することによって行った。基板温度は50~650℃、RFパワーは10~40mW/cm<sup>2</sup>の範囲が望ましい。第1図に示すようにHeの流量を変化させると、Si/SiO<sub>2</sub>界面付近ではHeは希釈量の大きい状態、即ち膜のダメージは極めて小さいが成膜速度は遅い状態で膜形成が進み、Si/SiO<sub>2</sub>界面から離れるにしたがって、成膜速度は速くなる。

な透明性導電膜などを用いることができる。成膜方法としては、CVD法、スパッタ法、真空蒸着法、等の方法があるが、ここでの詳しい説明は省略する。

続いて第3図(d)に示すように、前記ゲート電極204をマスクとして不純物をイオン注入し、自己整合的にソース領域205およびドレイン領域206を形成する。前記不純物としては、Nc hトランジスタを作製する場合はP<sup>+</sup>あるいはAs<sup>+</sup>を用い、Pchトランジスタを作製する場合はB<sup>+</sup>等を用いる。不純物添加方法としては、イオン注入法の他に、レーザードーピング法あるいはプラズマドーピング法などの方法がある。207で示される矢印は不純物のイオンビームを表している。前記非晶質絶縁基板201として石英基板を用いた場合には熱拡散法を使うことができる。不純物濃度は、 $1 \times 10^{13}$ から $1 \times 10^{21}$ cm<sup>-3</sup>程度とする。

続いて第2図(e)に示されるように、層間絶縁膜208を積層する。該層間絶縁膜材料として

この様な成膜方法を採用することによって、成膜時間を短く保ったまま良好なSi/SiO<sub>2</sub>界面を実現することができ、約10分間の成膜時間で800~1000ÅのSiO<sub>2</sub>が形成される。この様にして成膜したSiO<sub>2</sub>膜を真空中、または不活性ガス中で300~500℃の温度で熱処理を行うと膜が緻密化するので望ましい。

本発明を用いて作製した多結晶シリコン薄膜を、薄膜トランジスタに応用した例を第2図にしたがって説明する。多結晶シリコン薄膜基板を第2図(a)に示す。201は絶縁基板、202は多結晶シリコン薄膜である。203は上述の方法で作製したゲート絶縁膜のSiO<sub>2</sub>である。次に前記シリコン薄膜をフォトリソグラフィ法によりパターニングして第2図(b)に示すように島状にする。

次に第2図(c)に示されるように、ゲート電極204を形成する。該ゲート電極材料としては多結晶シリコン薄膜、あるいはモリブデンシリサイド、あるいはアルミニウムやクロムなどのような金属膜、あるいはITOやSnO<sub>2</sub>などのよう

な、酸化膜あるいは窒化膜などを用いる。絶縁性が良好ならば膜厚はいくらでもよいが、数千Åから数μm程度が普通である。窒化膜の形成方法としては、LPCVD法あるいはプラズマCVD法などが簡単である。反応には、アンモニアガスとシランガスと窒素ガスとの混合ガス、あるいはシランガスと窒素ガスとの混合ガスなどを用いる。

ここで、水素プラズマ法、あるいは水素イオン注入法、あるいはプラズマ窒化膜からの水素の拡散法などの方法で水素イオンを導入すると、ゲート酸化膜界面などに存在するダングリングボンドなどの欠陥が終端化される。この様な水素化工程は、層間絶縁膜208を積層する前におこなってもよい。

次に第2図(f)に示すように、前記層間絶縁膜及びゲート絶縁膜にコンタクトホールを形成し、コンタクト電極を形成しソース電極209およびドレイン電極210とする。該ソース電極及びドレイン電極は、アルミニウムなどの金属材料で形成する。このようにして薄膜トランジスタが形成

される。

#### 【発明の効果】

本発明によって得られた大粒径多結晶シリコン薄膜を用いて薄膜トランジスタを作成すると、優れた特性が得られる。従来に比べて、薄膜トランジスタのON電流は増大しOFF電流は小さくなる。またスレッシュホールド電圧も小さくなりトランジスタ特性が大きく改善される。

非晶質絶縁基板上に優れた特性の薄膜トランジスタを作製することが可能となるので、ドライバ回路を同一基板上に集積したアクティブマトリクス基板に応用した場合にも十分な高速動作が実現される。さらに、電源電圧の低減、消費電流の低減、信頼性の向上に対して大きな効果がある。また、600℃以下の低温プロセスによる作製も可能なので、アクティブマトリクス基板の低価格化及び大面積化に対してもその効果は大きい。

本発明を、光電変換素子とその走査回路を同一チップ内に集積した密着型イメージセンサに応用した場合には、読み取り速度の高速化、高解像度

化、さらに階調をとる場合に非常に大きな効果をうみだす。高解像度化が達成されるとカラー読み取り用密着型イメージセンサへの応用も容易となる。もちろん電源電圧の低減、消費電流の低減、信頼性の向上に対してもその効果は大きい。また低温プロセスによって作製することができるので、密着型イメージセンサチップの長尺化が可能となり、一本のチップでA4サイズあるいはA3サイズの様な大型ファクシミリ用の読み取り装置を実現できる。従って、センサチップの二本縫ぎのような手数がかかり信頼性の悪い技術を回避することができ、実装歩留りも向上される。

石英基板やガラス基板だけではなく、サファイア基板( $Al_2O_3$ )あるいは $MgO$ 、 $Al_2O_3$ 、BP、 $CaF_2$ 等の結晶性絶縁基板も用いることができる。

以上薄膜トランジスタを例として説明したが、バイポーラトランジスタあるいはヘテロ接合バイポーラトランジスタなど薄膜を利用した素子に対しても、本発明を応用することができる。また、

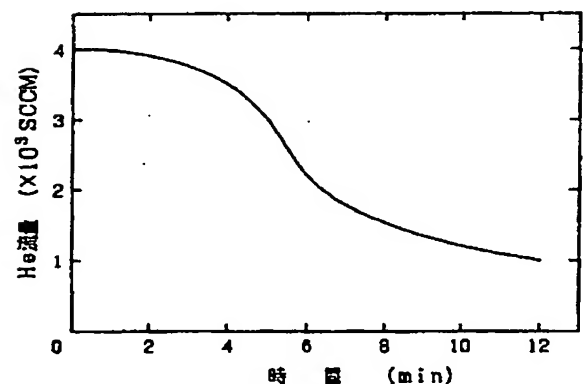
三次元デバイスのようなSOI技術を利用した素子に対しても、本発明を応用することができる。

#### 4. 図面の簡単な説明

第1図は本発明におけるHeガス流量の成膜時間に対する変化を示す図。

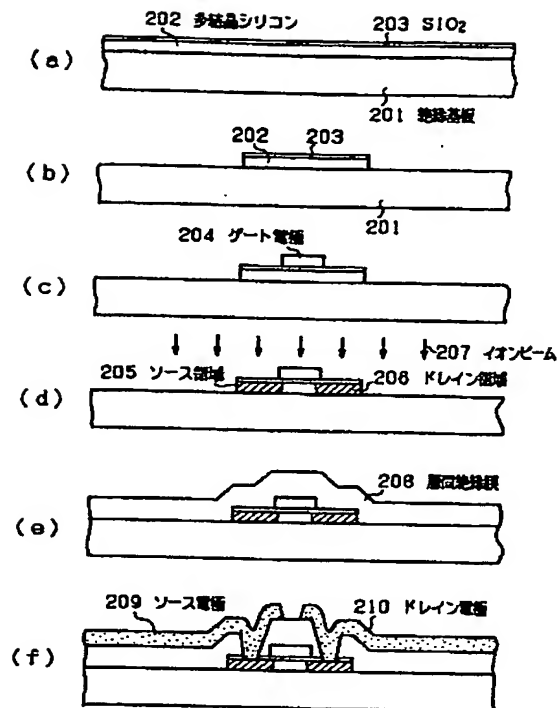
第2図は本発明による薄膜トランジスタの製造工程を示す図。

- 201 --- 絶縁基板
- 202 --- 多結晶シリコン薄膜
- 203 --- ゲート絶縁膜
- 204 --- ゲート電極
- 205 --- ソース領域
- 206 --- ドレイン領域
- 207 --- イオンビーム
- 208 --- 層間絶縁膜
- 209 --- ソース電極
- 210 --- ドレイン電極



第1図

以上



第 2 図